

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131332
(43)Date of publication of application : 19.05.1995

(51)Int.Cl. H03K 19/0185
H01L 21/8238
H01L 27/092
H03K 19/003

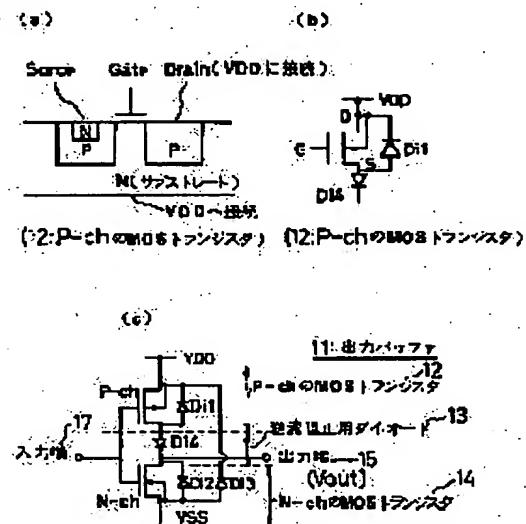
(21)Application number : 05-275350 (71)Applicant : PFU LTD
(22)Date of filing : 04.11.1993 (72)Inventor : ITO MASAHIKO

(54) CMOS CIRCUIT

(57)Abstract:

PURPOSE: To provide the CMOS circuit for preventing any undesirable current from flowing even at the time of $VDD < Vout$ with simple configuration by integrating a diode for proofing inverse flow into the CMOS circuit and stopping an inverse flow current from the output side.

CONSTITUTION: The junction of a diode 13 for proofing inverse flow and an N-ch MOS transistor 14 is provided as an output terminal 15 by serially connecting a P-ch MOS transistor 12, diode 13 for proofing inverse flow and N-ch MOS transistor 14. Thus, any external circuit for stopping the inverse flow current isunnecessitated.



LEGAL STATUS

[Date of request for examination] 13.02.1997

[Date of sending the examiner's decision of rejection] 12.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-131332

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.
 H 03 K 19/0185
 H 01 L 21/8238
 27/092

識別記号

府内整理番号

F I

技術表示箇所

8839-5J H 03 K 19/00 101 D
 9170-4M H 01 L 27/08 321 L

審査請求 未請求 請求項の数 3 OL (全 7 頁) 最終頁に続く

(21)出願番号 特願平5-275350

(22)出願日 平成5年(1993)11月4日

(71)出願人 000136136

株式会社ピーエフユー
石川県河北郡宇ノ気町字宇野気ヌ98番地の
2(72)発明者 伊藤 昌彦
神奈川県大和市深見西四丁目2番49号 株
式会社ピーエフユー大和工場内

(74)代理人 弁理士 岡田 守弘

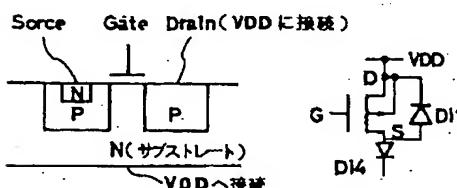
(54)【発明の名称】 CMOS回路

(57)【要約】

【目的】本発明は、P-chのMOSトランジスタとN-chのMOSトランジスタを直列接続して両者の接続点を出力端とするCMOS回路に関し、CMOS回路に逆流防止用のダイオードを作り込み、出力側からの逆流電流を阻止して簡単な構成でVDD < Voutとなっても非所望の電流が流れないCMOS回路を実現することを目的とする。

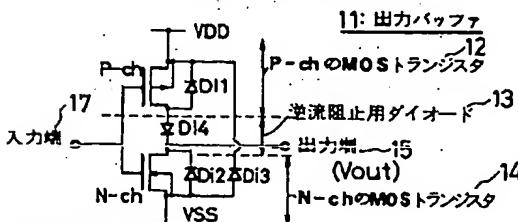
【構成】P-chのMOSトランジスタ12、逆流阻止用ダイオード13およびN-chのMOSトランジスタ14を直列接続して逆流阻止用ダイオード13とN-chのMOSトランジスタ14との接続点を出力端15とするように構成する。
本発明の原理構成図

(a)プロセス構造(断面図) (b)等価回路



(12:P-chのMOSトランジスタ) (12:P-chのMOSトランジスタ)

(c) CMOS出力段の等価回路



【特許請求の範囲】

【請求項1】P-chのMOSトランジスタとN-chのMOSトランジスタを直列接続して両者の接続点を出力端とするCMOS回路において、

P-chのMOSトランジスタ(12)、逆流阻止用ダイオード(13)およびN-chのMOSトランジスタ(14)を直列接続して逆流阻止用ダイオード(13)とN-chのMOSトランジスタ(14)との接続点を出力端(15)としたことを特徴とするCMOS回路。

【請求項2】外部からの電源電圧をDC-DCコンバータ(19)によって上記逆流阻止用ダイオード(13)の順方向電圧降下分あるいはそれ以上の所定電圧分だけ昇圧した電源を上記P-chのMOSトランジスタ(12)に供給することを特徴とする請求項1記載のCMOS回路。

【請求項3】上記P-chのMOSトランジスタ(12)、逆流阻止用ダイオード(13)およびN-chのMOSトランジスタ(14)を直列接続して逆流阻止用ダイオード(13)とN-chのMOSトランジスタ(14)との接続点を出力端(15)とする出力バッファ(11)の出力端(15)と、上記P-chのMOSトランジスタとN-chのMOSトランジスタを直列接続して両者の接続点を出力端とするVDD側保護ダイオードを削除した入力バッファ(16)の入力端と接続した双方向性バッファからなるCMOS回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、P-chのMOSトランジスタとN-chのMOSトランジスタを直列接続して両者の接続点を出力端とするCMOS回路に関するものである。

【0002】

【従来の技術】従来のCMOS回路は、図7の(a)に示すプロセス構造(P-ch側のみ)を持ち、図7の(b)に示す等価回路(P-ch側のみ)となり、図7の(c)に示すCMOS回路(P-ch側とN-ch側)となる。このCMOS回路の特徴は、出力端Voutから電源電圧VDIに近い電圧まで負荷に電流を出力できること、および電源電圧VSSに近い電圧まで負荷からの電流を引き込むことができる。

【0003】

【発明が解決しようとする課題】しかし、図7の(c)のCMOS回路において、

・VDD < Voutとなった場合、Vout → Di1 → VDDの経路で電流が流れてしまう

という問題がある。これは、低消費電力化を図りたいノートパソコンのような用途に使用する場合、5V電源系と3V電源系とが混在することがあり、VDD < Voutが成立する電圧関係がしばしば現れ、甚だ不都合であるという問題があった。以下説明する。

【0004】図8の(a)に示すように、回路全体の消費電力を低減するために各LSIに供給している電源系統を複数にし、それぞれ独立にON/OFFさせる場合、例えばノートパソコンなどであるモードでは動作に無関係なLSIの電源系統をOFFにして少しでも消費電力を抑えたい場合、

・VDD2=ONのままVDI=OFF(=0V)にすると、

VDI → Rp → IC1出力段の保護Di1 → VDD1(=0V)

の経路で余分な電流が流れてしまう問題があった。ここで、Rpを取り外すと、IC2の入力電位(=IC1の出力電位)が不定となるため、IC2に貫通電流が流れてしまう可能性が生じる。

【0005】この問題を解決するために、図8の(b)に示すようにVDIとIC1の間にダイオードDiaを挿入し、VDI側から流入してくる電流を当該ダイオードDiaで阻止する。このダイオードDiaを挿入すると、

■ IC1の通常動作時において(VDD1=ON)、IC1に供給する電源電圧がダイオードDiaの電圧降下VFだけ低下するため、IC1の動作マージンが低下する。

【0006】■ ダイオードDiaの分だけ部品点数が増える。

また、図8の(c)に示すようにVDIとIC1の間にFET SWを挿入し、VDIの電源OFFと同時にFETをOFFにすることで、VDI側から流入してくる電流を阻止する。このFET SWを挿入すると、

■ IC1の通常動作時において(VDD1=ON)、IC1に供給する電源電圧がFET-SWのON抵抗分だけ低下するため、IC1の動作マージンが低下する。

【0007】■ FET SWの分だけ部品点数が増える。

本発明は、これらの問題を解決するため、CMOS回路に逆流防止用のダイオードを作り込み、出力側からの逆流電流を阻止して簡単な構成でVDI < Voutとなっても非所望の電流が流れないCMOS回路を実現することを目的としている。

【0008】

【課題を解決するための手段】図1、図2および図3を用いて課題を解決するための手段を説明する。図1、図2および図3において、P-chのMOSトランジスタ12は、P-chのMOSで構成したトランジスタである。

【0009】逆流阻止用ダイオード13は、VDI < Voutとなったときに逆流する電流を阻止するためのダイオードである。N-chのMOSトランジスタ14は、N-chのMOSで構成したトランジスタである。

【0010】DC-DCコンバータ19は、直流電源を昇圧するものである。入力バッファ16は、逆流阻止用ダイオード13を無くしたCMOS回路である。

【0011】

【作用】本発明は、図1に示すように、P-chのMOSトランジスタ12、逆流阻止用ダイオード13およびN-chのMOSトランジスタ14を直列接続して逆流阻止用ダイオード13とN-chのMOSトランジスタ14との接続点を出力端15としてCMOS回路を構成し、VDI < Voutとなっても負荷から出力端15に逆流する電流を阻止するようしている。

【0012】また、図2に示すように、外部からの電源電圧をDC-DCコンバータ19によって逆流阻止用ダイオード13の順方向電圧降下分あるいはそれ以上の所定電圧分だけ昇圧した電源をP-chのMOSトランジスタ12に供給するようしている。

【0013】また、図3に示すように、P-chのMOSトランジスタ12、逆流阻止用ダイオード13およびN-chのMOSトランジスタ14を直列接続して逆流阻止用ダイオード13とN-chのMOSトランジスタ14との接続点を出力端15とする出力バッファ11の出力端15と、P-chのMOSトランジスタ12とN-chのMOSトランジスタ13を直列接続して両者の接続点を出力端とする入力バッファ16の入力端と接続した双方向性バッファとするようしている。

【0014】従って、CMOS回路に逆流防止用のダイオード13を作り込み、出力側からの逆流電流を阻止して簡単な構成でVDI < Voutとなっても非所望の電流が流れないCMOS回路を実現することが可能となった。

【0015】

【実施例】次に、図1から図6を用いて本発明の構成および動作を順次詳細に説明する。図1は、本発明の原理構成図を示す。

【0016】図1の(a)は、プロセス構造(断面図)を示す。これは、N型のシリコンウェハ上にP-chのMOSトランジスタ12および逆流阻止用ダイオード13を製造した様子を示す。

【0017】図1の(b)は、等価回路を示す。これは、図1の(a)のプロセス構造の等価回路を示す。ここでは、P-chのMOSトランジスタ12を示す。図1の(c)は、CMOS出力段の等価回路を示す。これは、図1の(a)のプロセス構造の等価回路であるP-chのMOSトランジスタ12と逆流阻止用ダイオード13、およびN-chのMOSトランジスタ14を直列接続し、逆流阻止用ダイオード13とN-chのMOSトランジスタ14との接続点を出力端1とし、P-chのMOSトランジスタ12とN-chのMOSトランジスタ14のGate(ゲート)を共通にして入力端とした出力バッファ11である。以上の図1の(a)、(b)、(c)の図面中の記号はそれぞれ下記を表す。

【0018】

VDD:P-chのMOSトランジスタの電源

D、Drain:ドレイン

G、Gate:ゲート

S, Sorce: ソース

Di1、Di2、Di3: ダイオード(P-chのMOSトランジスタ12、N-chのMOSトランジスタの寄生ダイオード)

Di4: 本発明に係る逆流阻止用ダイオード

VSS: N-chのMOSトランジスタの電源

以上のように、逆流阻止用ダイオード13であるDi4を図示の位置に組み込むことにより、出力端15の電圧VoutがVDDよりも高くなつたとしても、当該Di4によって阻止され、P-chのMOSトランジスタ12に過大電流が流れることが無くなり、簡単な構成で素子破壊を防止できる。

【0019】図2は、本発明の電源昇圧例を示す。これは、図1の(c)に示すように、逆流阻止用ダイオード13を組み込んだことによる。出力端15の出力電圧Voutがこの逆流阻止用ダイオード13の順方向電圧降下分だけ低くなるので、この低くなつた電圧分だけ電源電圧VDDを昇圧、例えばVDD+0.7Vするものである。このDC-DCコンバータ19を設けて逆流阻止用ダイオード13の電圧降下分だけ昇圧することにより、見かけ上、図中の出力バッファ14の出力端15の電圧Voutの最大値VOH=VDDとなり、従来の逆流阻止用ダイオード13の無い場合のCMOS回路と同等の特性となる。

【0020】図3は、本発明の応用例を示す。これは、図1の(c)の本発明の出力バッファ11の出力端15と、図1の(c)から逆流阻止用ダイオード13であるDi4を無くした入力バッファ16の入力端17とを接続した双方向性バッファ18である。この双方向性バッファ18は、LSIの入力端に設ける。

【0021】以上のように、図1の(c)の本発明に係る出力バッファ11と、逆流阻止用ダイオード13の無い入力バッファ16とを接続した双方向性バッファ18を、LSI上の信号の入出力端に配置することにより、外部の電位Voutが出力バッファ11の電源電圧VDDよりも高くなつても、逆流阻止用ダイオード13によって逆流電流が阻止され、当該出力バッファ11に非所望の電流が流れて破壊されることがない。これにより、従来のLSIの外部に逆流電流を防止する回路を設けたり、VoutがVDDよりも高くならないようにする設計を行う必要がなくなった。

【0022】次に、本発明に係る図1の(a)のプロセス構造を製造する手順を、図4から図6を用いて詳細に説明する。ここでは、CMOS回路の製造には幾つかの製造方法があるが、ここでは、サブストレートにN型シリコンを用いた方法の一例を示す。この他に、P型サブストレート、ツイン・ウェル方式であっても同様に実現可能である。ここで、図4および図5の(1)から(11)によって製造される様子は、図6の(1)から(11)にそれぞれ対応している。

【0023】図4において、(1)は、N型Si表面に酸化膜を形成する(図6の(1)参照)。(2)は、Pウェル・パターニング(開孔)する。これは、図6の(2)に示すように、酸化膜上にPウェルの領域となるパターンを形成する。

【0024】(3)は、Pウェル不純物ドープ(添加)／拡散する。これは、図6の(3)に示すように、パターニングされたフォトレジストをマスクにして、ホウ素をイオン注入し、フォトレジストを取り除き、注入されたホウ素を熱拡散する。

【0025】(4)は、素子分離領域のパターニング(開孔)する。これは、図6の(4)に示すように、酸化膜上にシリコン窒化膜を形成し、フォトレジストで素子分離領域のパターンを形成した後、フォトレジストの開孔部の窒化膜をエッティングで取り除き、開孔する。

【0026】(5)は、フィールド酸化する。これは、図6の(5)に示すように、フォトレジスト除去後、パターニングされた酸化膜をマスクに、高温で厚い酸化膜を選択的に形成させる。

【0027】(6)は、ゲート酸化とゲートの形成を行なう。これは、図6の(6)に示すように、マスクとして使用した窒化膜とその下の酸化膜をエッティングにより除去し、新たにきれいな薄い酸化膜を酸化形成し、更にその上にCVD法によりポリシリコン膜を成長形成する。次に素子分離のパターニングと同様な方法でゲート電極を形成する。

【0028】(7)は、N拡散、P拡散(ソース、ドレインの形成)する。これは、図6の(7)に示すように、Pウェル形成と同様な方法でPウェル領域(こちらがN-ch MOS Tr)にはN型不純物Asなどを、Pウェル領域以外(これらがP-ch MOS Tr)にはP型不純物(Bなど)をシリコン基板中にイオン注入し、熱拡散により、N領域、P領域を形成する。

【0029】図5において、(8)は、P-ch MOS Trのソース領域に更にN型不純物ドープ／拡散する。これは、図6の(8)に示すように、P-ch MOS Tr側のP型領域の一方に(こちらをソース側とする)、Pウェル形成と同様な方法で、N型不純物(Asなど)をイオン注入し、熱拡散により、N領域を形成する。

【0030】(9)は、層間絶縁膜の形成を行なう。これは、図6の(9)に示すように、上に厚い絶縁膜をCVD法により成形する。(10)は、コンタクト・ホール・パターニング(開孔)する。これは、図6の(10)に示すように、両MOS Trのソース、ドレインに金属配線を接続するため、素子分離のパターニングと同様の方法でコンタクト・ホールを開孔する。

【0031】(11)は、電極・配線パターニングを行なう。これは、図6の(11)に示すように、ウェハー表面にアルミニウムなどの金属を蒸着させることにより、電極形成を行い、その後、フォトレジストによりパターン形成を行い、それをマスクとして不要部分をエッティングなどで除去する。

【0032】以上の工程により、図1の(a)に示すP-chのMOS Trと、N-chのMOS Trとが製造できたこととなる。

【0033】

【発明の効果】以上説明したように、本発明によれば、CMOS回路に逆流防止用のダイオード13を作り込み、出力側からの逆流電流を阻止して簡単な構成でVDD < Voutとなつても非所望の電流の流入を防いたCMOS回路を実現することができた。これらにより、動作シーケンス上、VDD < Voutとなつてもかまわないので、外部回路による逆流電流を阻止する外部回路が不要となると共に、逆流電流を流さない設計とした場合の当該設計が不要となり、設計時の負担が大幅に軽減される。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の電源昇圧例である。

【図3】本発明の応用例である。

【図4】本発明のCMOS回路の製造プロセス説明図(その1)である。

【図5】本発明のCMOS回路の製造プロセス説明図(その2)である。

【図6】本発明のCMOS回路の製造プロセス説明図である。

【図7】従来技術の説明図である。

【図8】従来技術の問題点説明図である。

【符号の説明】

11: 出力バッファ

12: P-chのMOSトランジスタ

13: 逆流阻止用ダイオード

14: N-chのMOSトランジスタ

15: 出力端

16: 入力バッファ

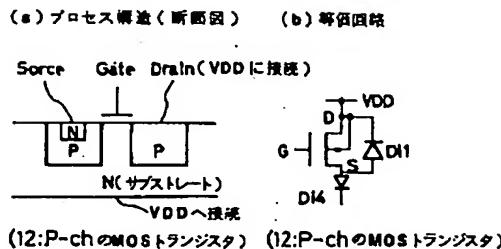
17: 入力端

18: 双方向性バッファ

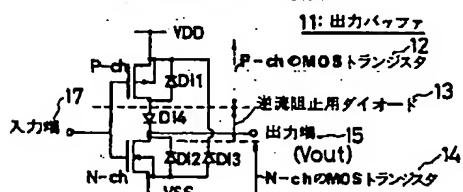
19: DC-DCコンバータ

【図1】

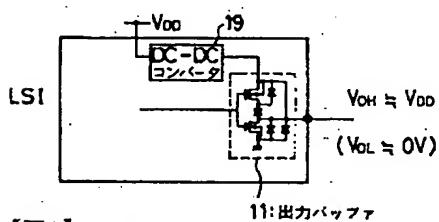
本発明の原理構成図



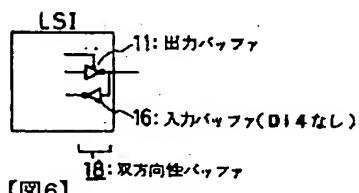
(c) CMOS出力端の等価回路



【図2】
 本発明の電源昇圧例

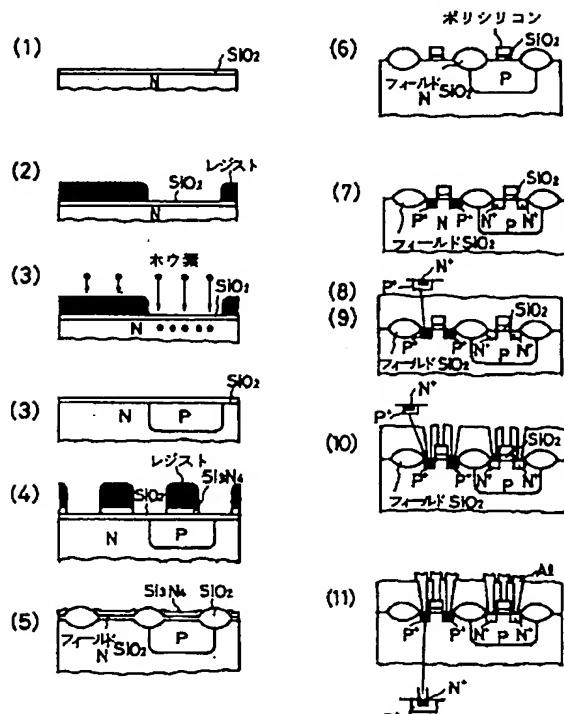


【図3】
 本発明の応用例



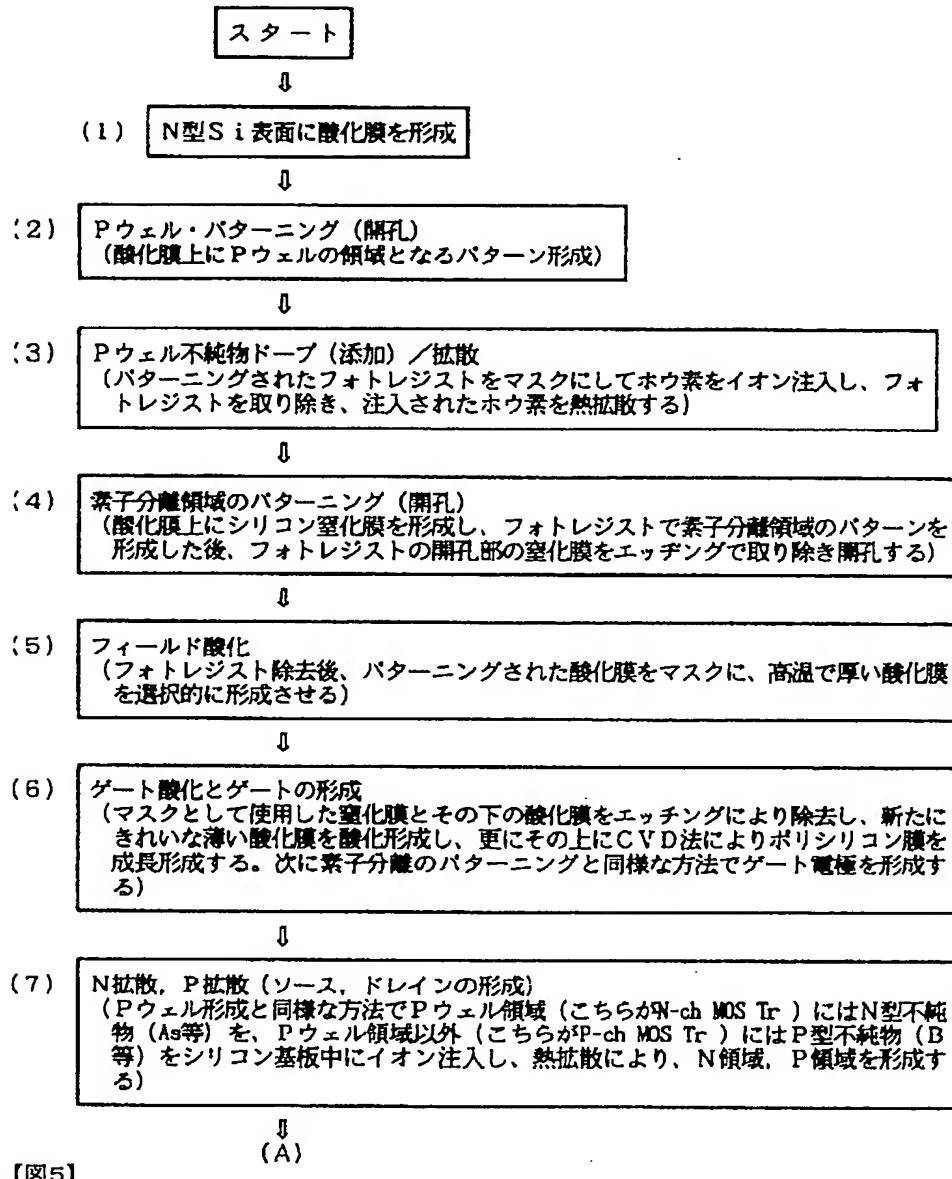
【図6】

本発明 CMOS回路の製造プロセス説明図



【図4】

本発明のCMOS回路の製造プロセス説明図（その1）



本発明のCMOS回路の製造プロセス説明図 (その2)

(A)



(8)

P-ch MOS Tr のソース領域に更にN型不純物ドープ／拡散
(P-ch MOS Tr 側のP型領域の一方に(こちらをソース側とする)、Pウェル形成
と同様な方法で、N型不純物(As等)をイオン注入し、熱拡散により、N領域を
形成する)



(9)

層間絶縁膜の形成
(上に厚い絶縁膜をCVD法により形成する)



(10)

コンタクト・ホール・バーニング(開孔)
(両MOS Trのソース、ドレインに金属配線を接続する為、素子分離のバーニング
と同様の方法でコンタクト・ホールを開孔する)



(11)

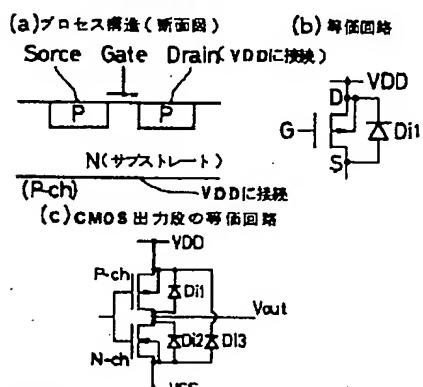
電極・配線バーニング
(ウェハ一面にアルミニウム等の金属を蒸着させることにより電極形成を行い、
その後フォトレジストによりパターン形成を行いそれをマスクとして不要部分を
エッチング等で除去する)



エンド

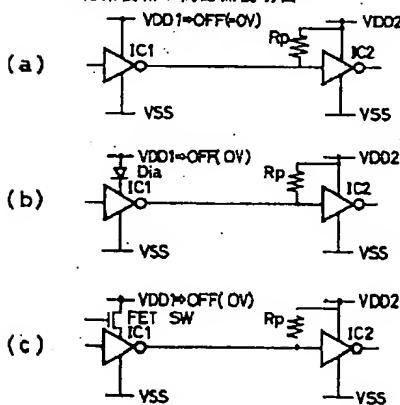
【図7】

従来技術の説明図



【図8】

従来技術の問題点説明図



フロントページの続き

(51)Int.CI.6 識別記号 庁内整理番号 FI 技術表示箇所
H03K 19/003 E